



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0034129
Application Number

출원년월일 : 2003년 05월 28일
Date of Application MAY 28, 2003

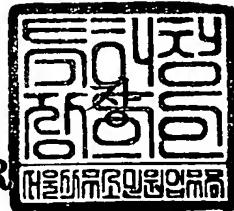
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003년 10월 06일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0002		
【제출일자】	2003.05.28		
【발명의 명칭】	출력 회로		
【발명의 영문명칭】	Output circuit		
【출원인】			
【명칭】	(주)하이닉스 반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【성명】	신영무		
【대리인코드】	9-1998-000265-6		
【포괄위임등록번호】	1999-003525-1		
【발명자】			
【성명의 국문표기】	임양규		
【성명의 영문표기】	LIM, Yang Kyu		
【주민등록번호】	711113-1841928		
【우편번호】	139-243		
【주소】	서울특별시 노원구 공릉3동 풍림 아파트 111동 904호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 신영무 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	2	면	2,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	14	항	557,000 원
【합계】	588,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 출력 회로에 관한 것으로, 일반 동작 모드와 딥 파워 다운 모드에서 서로 다른 전위로 인가되는 제어 신호에 의해 일반 동작 모드에서는 제 1 외부 전원을 공급하여 제 2 외부 전원으로 사용되도록 하고, 딥 파워 다운 모드에서는 전원의 공급을 차단하고 출력 드라이버를 하이 임피던스 상태를 유지하도록 함으로써 내부의 전류 소모 및 DQ 단자를 통해 외부로부터의 신호 유입을 방지할 수 있는 출력 회로가 제시된다.

【대표도】

도 2

【색인어】

의사 SRAM, 딥 파워 다운 모드, 출력 회로



20030034129

출력 일자: 2003/10/13

【명세서】

【발명의 명칭】

출력 회로{Output circuit}

【도면의 간단한 설명】

도 1은 종래의 출력 회로도.

도 2는 본 발명에 따른 출력 회로도.

<도면의 주요 부분에 대한 부호의 설명>

20 : 스위치 21 : NOR 게이트

22 : 제 1 레벨 쉬프터 23 : NAND 게이트

24 : 제 2 레벨 쉬프터

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<7> 본 발명은 출력 회로에 관한 것으로, 특히 일반 동작 모드에서는 로우 상태로 인가되고 딥 파워 다운 모드에서는 하이 상태로 인가되는 파워 바 신호에 의해 일반 동작 모드에서는 제 1 외부 전원을 공급하여 제 2 외부 전원으로 사용되도록 하고, 딥 파워 다운 모드에서는 전원

의 공급을 차단하고 출력 드라이버를 하이 임피던스 상태를 유지하도록 함으로써 내부의 전류 소모 및 DQ 단자를 통해 외부로부터의 신호 유입을 방지할 수 있는 출력 회로에 관한 것이다.

- <8> 반도체 소자의 전력 소모를 최소화하기 위한 하나의 방법으로서 딥 파워 다운 모드(deep power down mode)를 사용한다. 딥 파워 다운 모드는 내부의 모든 전원을 차단하여 내부에 흐르는 전류를 없애 전류 소모를 줄이는 방법이다. 특히 의사(pseudo) SRAM과 같은 반도체 소자는 출력 회로등에서 내부 전원과 외부 전원을 함께 사용하는데, 종래의 출력 회로를 도 1을 이용하여 설명하면 다음과 같다.
- <9> 도 1은 종래의 의사(pseudo) SRAM과 같은 반도체 소자에 적용되는 출력 회로도로서, 그 구성을 설명하면 다음과 같다.
- <10> 제 1 인버터(I11)는 글로벌 입출력 신호(GI0)를 반전시키고, 제 2 인버터(I12)는 출력 인에이블 신호(OE)를 반전시킨다. NOR 게이트(11)는 제 1 인버터(I11)의 출력 신호와 제 2 인버터(I12)의 출력 신호를 입력하고 조합하여 제 1 노드(Q11)의 전위를 조절한다. 제 1 레벨 쉬프터(12)는 NOR 게이트(11)의 출력 신호의 레벨에 따라 외부 전원(Vextq)의 전위 또는 접지 전위를 출력한다. 제 4 인버터(I14)는 제 1 레벨 쉬프터(12)의 출력을 반전시킨다. 외부 전원(Vextq)과 DQ 단자(DQ) 사이에 접속된 제 7 PMOS 트랜지스터(P17)는 제 4 인버터(I14)의 출력 신호에 따라 구동된다.
- <11> NAND 게이트(13)는 제 1 인버터(I11)의 출력 신호와 출력 인에이블

신호(OE)를 입력하고 조합하여 제 5 노드(Q15)의 전위를 조절한다. 제 2 레벨 쉬프터(14)는 NAND 게이트(13)의 출력 신호의 레벨에 따라 외부 전원(Vextq)의 전위 또는 접지 전위를 출력 한다. 제 6 인버터(I16)는 제 2 레벨 쉬프터(14)의 출력을 반전시킨다. DQ 단자(DQ)와 접지 단자(Vss) 사이에 접속된 제 7 NMOS 트랜지스터(N17)는 제 7 인버터(I17)의 출력 신호에 따라 구동된다.

<12> 상기와 같이 구성되는 종래의 출력 회로는 출력 인에이블 신호(OE)가 하이 상태로 인가될 때 인에이블되어 글로벌 입출력 신호(GIO)를 DQ 단자(DQ)로 출력하는데, 글로벌 입출력 신호(GIO)가 하이 상태로 인가될 때의 구동 방법을 설명하면 다음과 같다.

<13> 제 1 인버터(I11)는 하이 상태로 입력되는 글로벌 입출력 신호(GIO)를 반전시켜 로우 상태의 신호를 출력하고, 제 2 인버터(I12)는 하이 상태로 입력되는 출력 인에이블 신호(OE)를 반전시켜 로우 상태의 신호를 출력한다. NOR 게이트(11)는 로우 상태를 유지하는 제 1 인버터(I11)의 출력 신호와 로우 상태를 유지하는 제 2 인버터(I12)의 출력 신호를 입력하여 하이 상태의 신호를 출력한다. 제 1 레벨 쉬프터(12)는 하이 상태를 유지하는 NOR 게이트(11)의 출력 신호에 따라 하이 상태, 즉 외부 전원(Vextq)의 전위를 유지하는 신호를 출력한다. 하이 상태를 유지하는 제 1 레벨 쉬프터(12)의 출력 신호는 제 4 인버터(I14)를 통해 로우 상태로 반전되어 제 4 노드(Q14)는 로우 상태를 유지하게 된다.

<14> 한편, NAND 게이트(13)는 로우 상태를 유지하는 제 1 인버터(I11)의 출력 신호 및 하이 상태로 입력되는 출력 인에이블 신호(OE)를 입력하여 하이 상태의 신호를 출력한다. 제 2 레벨 쉬프터(14)는 하이 상태를 유지하는 NAND 게이트(13)의 출력 신호에 따라 하이 상태, 즉 외부 전원(Vextq)의 전위를 유지하는 신호를 출력한다. 하이 상태를 유지하는 제 2 레벨 쉬프터(14)

의 출력 신호는 제 6 인버터(I16)를 통해 로우 상태로 반전되어 제 8 노드(Q18)는 로우 상태를 유지하게 된다.

<15> 따라서, 로우 상태를 유지하는 제 4 노드(Q14)의 전위에 의해 제 7 PMOS 트랜지스터(P17)가 터온되고, 로우 상태를 유지하는 제 8 노드(Q18)의 전위에 의해 제 7 NMOS 트랜지스터(N17)가 터오프되어 외부 전원(Vextq)이 DQ 단자(DQ)로 출력된다.

<16> 상기와 같이 구성 및 구동되는 종래의 출력 회로는 외부 전원을 그대로 사용하기 때문에 딥 파워 다운 모드에서 내부 전원을 차단하더라도 전류를 많이 소모하게 된다. 특히, 제 1 및 제 2 레벨 쉬프터는 내부 전원에 따라 외부 전원을 출력하는 것으로서, 내부 전원이 차단되면 플로팅되게 된다. 이렇게 되면 외부 전원에서 접지 단자로 전류가 흐르게 되어 전류가 소모되기 때문에 딥 파워 다운 모드의 특성을 살리지 못하게 된다. 또한, 내부 전원이 차단되면 제 7 PMOS 트랜지스터 및 제 7 NMOS 트랜지스터가 동작되지 않게 된다. 그런데, DQ 단자를 통해 외부에서 내부로 신호가 유입될 수 있어 내부적으로 전류를 소모하게 된다.

【발명이 이루고자 하는 기술적 과제】

<17> 본 발명의 목적은 반도체 소자의 딥 파워 다운 모드에서의 전류 소모를 방지할 수 있는 출력 회로를 제공하는데 있다.

<18> 본 발명의 다른 목적은 DQ 단자를 통해 외부에서 내부로 신호가 유입되지 않도록 함으로써 전류 소모를 방지할 수 있는 출력 회로를 제공하는데 있다.

【발명의 구성 및 작용】

- <19> 본 발명에 따른 출력 회로는 제어 신호에 따라 제 1 외부 전원을 공급하여 제 2 외부 전원으로 사용되도록 하거나 전원 공급을 차단하기 위한 제 1 스위치와, 입력 신호, 인에이블 신호 및 상기 제어 신호에 따라 제 2 외부 전원의 전위 또는 접지 전위를 유지하는 신호를 출력하기 위한 출력 버퍼와, 상기 출력 버퍼의 출력 신호에 따라 상기 제 2 외부 전원의 전위 또는 접지 전위를 유지하는 신호를 출력하기 위한 출력 드라이버와, 상기 제어 신호에 따라 상기 출력 드라이버의 입력 단자중 하나가 상기 제 1 외부 전원의 전위로 유지되도록 하기 위한 제 2 스위치와, 상기 제어 신호에 따라 상기 출력 드라이버의 입력 단자중 다른 하나가 상기 접지 전위로 유지되도록 하기 위한 제 3 스위치를 포함하여 이루어진 것을 특징으로 한다.
- <20> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써 본 발명을 상세히 설명하기로 한다.
- <21> 도 2는 본 발명에 따른 의사(pseudo) SRAM과 같은 반도체 소자에 적용되는 출력 회로로서, 그 구성을 설명하면 다음과 같다.
- <22> 제 1 PMOS 트랜지스터(P21)는 파워 바 신호(powerb)에 의해 구동되어 제 1 외부 전원(Vextq)을 공급하여 제 2 외부 전원(Vextiq)으로 사용되도록 하거나 전원의 공급을 차단하는 스위치(20)로서 동작한다. 이때, 파워 바 신호(powerb)는 일반 동작 모드에서는 로우 상태로 인가되고, 딥 파워 다운 모드에서는 하이 상태로 인가되는 신호로서, 외부의 명령에 의해 생성된다.

<23> 제 1 인버터(I21)는 글로벌 입출력 신호(GI0)를 반전시키고, 제 2 인버터(I22)는 출력 인에이블 신호(OE)를 반전시킨다. NOR 게이트(21)는 제 1 인버터(I21)의 출력 신호와 제 2 인버터(I22)의 출력 신호를 입력한 후 조합하여 제 1 노드(Q21)의 전위를 조절한다. 제 1 레벨 쉬프터(22)는 NOR 게이트(21)의 출력 신호의 레벨에 따라 제 2 외부 전원(Vextiq)의 전위 또는 접지 전위를 출력한다. 제 1 레벨 쉬프터(22)의 출력 단자인 제 3 노드(Q23)와 접지 단자(Vss) 사이에 파워 바 신호(powerb)에 따라 구동되는 제 3 NMOS 트랜지스터(N23)가 접속된다. 한편, 제 1 레벨 쉬프터(22)는 제 2 외부 전원(Vextiq)과 제 2 노드(Q22) 사이에 접속되어 제 3 노드(Q23)의 전위에 따라 구동되는 제 2 PMOS 트랜지스터(P22), 제 2 노드(Q22)와 접지 단자(Vss) 사이에 접속되어 NOR 게이트(21)의 출력 신호에 따라 구동되는 제 1 NMOS 트랜지스터(N21), 제 2 외부 전원(Vextiq)과 제 3 노드(Q23) 사이에 접속되어 제 2 노드(Q22)의 전위에 따라 구동되는 제 3 PMOS 트랜지스터(P23), 제 3 노드(Q23)와 접지 단자(Vss) 사이에 접속되어 NOR 게이트(21)의 출력 신호를 반전시키는 제 3 인버터(I23)의 출력 신호에 따라 구동되는 제 2 NMOS 트랜지스터(N22)로 구성된다. 그리고, 제 3 노드(Q23)와 접지 단자(Vss) 사이에 파워 바 신호(powerb)에 따라 구동되는 제 3 NMOS 트랜지스터(N23)가 접속된다. 제 2 외부 전원(Vextiq)과 접지 단자(Vss) 사이에 제 4 PMOS 트랜지스터(P24)와 제 3 인버터(I23)가 접속되는데, 제 4 PMOS 트랜지스터(P24)는 파워 바 신호(powerb)에 따라 구동되며, 제 3 인버터(I23)는 제 5 PMOS 트랜지스터(P25)와 제 4 NMOS 트랜지스터(N24)로 구성되어 제 1 레벨 쉬프터(22)의 출력을 반전시켜 제 4 노드(Q24)의 전위를 조절한다. 제 5 인버터(I25)는 제 1 외부 전원(Vextq)과 접지 단자(Vss) 사이에 직렬 접속된 제 6 PMOS 트랜지스터(P26)와 제 5 NMOS 트랜지스터(N25)로 구성되어 파워 바 신호(powerb)를 반전시켜 제 5 노드(Q25)의 전위를 조절한다. 제 1 외부 전원(Vextq)과 제 4 노드(Q24) 사이에 접속된 제 7 PMOS 트랜지스터(P27)는 제 5 노드(Q25)의 전위를 반전시켜 제 6 노드(Q26)의 전위를 조절한다.

드(Q25)의 전위에 따라 구동된다. 제 2 외부 전원(Vextiq)과 DQ 단자(DQ) 사이에 접속된 제 8 PMOS 트랜지스터(P28)는 제 4 노드(Q23)의 전위에 따라 구동된다.

<24> NAND 게이트(23)는 제 1 인버터(I21)의 출력 신호 및 출력 인에이블 신호(OE)를 입력한 후 조합하여 제 6 노드(Q26)의 전위를 조절한다. 제 2 레벨 쉬프터(24)는 NAND 게이트(23)의 출력 신호의 레벨에 따라 제 2 외부 전원(Vextiq)의 전위 또는 접지 전위(Vss)를 출력한다. 한편, 제 2 레벨 쉬프터(24)는 제 2 외부 전원(Vextiq)과 제 7 노드(Q27) 사이에 접속되어 제 8 노드(Q28)의 전위에 따라 구동되는 제 9 PMOS 트랜지스터(P29), 제 7 노드(Q27)와 접지 단자(Vss) 사이에 접속되어 NAND 게이트(23)의 출력 신호에 따라 구동되는 제 6 NMOS 트랜지스터(N26), 제 2 외부 전원(Vextiq)과 제 8 노드(Q28) 사이에 접속되어 제 7 노드(Q27)의 전위에 따라 구동되는 제 10 PMOS 트랜지스터(P30), 제 8 노드(Q28)와 접지 단자(Vss) 사이에 접속되어 NAND 게이트(23)의 출력 신호를 반전시키는 제 6 인버터(I26)의 출력 신호에 따라 구동되는 제 7 NMOS 트랜지스터(N27)로 구성된다. 그리고, 제 2 외부 전원(Vextiq)과 제 9 노드(Q29) 사이에 접속된 제 11 PMOS 트랜지스터(P31) 및 제 9 노드(Q29)와 접지 단자(Vss) 사이에 접속된 제 8 NMOS 트랜지스터(N28)로 구성된 제 7 인버터(I27)는 제 2 레벨 쉬프터(24)의 출력을 반전시켜 제 9 노드(Q29)의 전위를 조절한다. 제 9 노드(Q29)와 접지 단자(Vss) 사이에 접속된 제 10 NMOS 트랜지스터(N30)는 제 9 노드(Q29)의 전위에 따라 구동된다.

<25> 한편, 상기 제 1 내지 제 11 PMOS 트랜지스터(P21 내지 P31) 각각의 벌크에는 제 1 외부 전원(Vextq)이 인가되도록 한다.

- <26> 상기와 같이 구성되는 본 발명에 따른 출력 회로는 일반 동작 모드에서 출력 인에이블 신호(OE)가 하이 상태로 인가될 때 글로벌 입출력 신호(GIO)를 DQ 단자(DQ)로 출력하는데, 글로벌 입출력 신호(GIO)가 하이 상태로 인가될 때의 구동 방법을 설명하면 다음과 같다.
- <27> 일반 동작 모드에서 파워 바 신호(powerb)가 로우 상태로 인가되면 제 1 PMOS 트랜지스터(P21)가 턴온되어 제 1 외부 전원(Vextq)이 공급되어 제 2 외부 전원(Vextiq)으로 사용된다.
- <28> 제 1 인버터(I21)는 하이 상태로 입력되는 글로벌 입출력 신호(GIO)를 반전시켜 로우 상태의 신호를 출력하고, 제 2 인버터(I22)는 하이 상태로 입력되는 출력 인에이블 신호(OE)를 반전시켜 로우 상태의 신호를 출력한다. NOR 게이트(21)는 로우 상태를 유지하는 제 1 인버터(I21)의 출력 신호와 로우 상태를 유지하는 제 2 인버터(I22)의 출력 신호를 입력한 후 조합하여 하이 상태의 신호를 출력한다. 제 1 레벨 쉬프터(22)는 하이 상태를 유지하는 NOR 게이트(21)의 출력 신호의 레벨에 따라 제 1 PMOS 트랜지스터(P21)를 통해 제 1 외부 전원(Vextq)으로부터 공급된 제 2 외부 전원(Vextiq)의 전위를 유지하는 신호를 출력한다. 제 3 NMOS 트랜지스터(N23)는 로우 상태로 인가되는 파워 바 신호(powerb)에 의해 턴오프되고, 제 4 PMOS 트랜지스터(P24)는 턴온되기 때문에 하이 상태를 유지하는 제 1 레벨 쉬프터(22)의 출력 신호는 제 4 인버터(I24)를 통해 로우 상태로 반전되어 제 4 노드(Q24)는 로우 상태를 유지하게 된다. 그리고, 로우 상태로 인가되는 파워 바 신호(powerb)는 제 5 인버터(I25)에 의해 하이 상태로 반전되고, 제 5 노드(Q25)는 제 1 외부 전원(Vextq)의 전위를 유지한다. 제 1 외부 전원(Vextq)의 전위를 유지하는 제 5 노드(Q25)의 전위에 의해 제 7 PMOS 트랜지스터(P27)는 턴오프된다. 따라서, 제 4 노드(Q24)는 로우 상태를 유지하게 된다.
- <29> 한편, NAND 게이트(23)는 로우 상태로 입력되는 제 1 인버터(I21)의 출력 신호와 하이 상태로 입력되는 출력 인에이블 신호(OE)를 입력한 후 조합하여 하이 상태의 신호를 출력한다.

제 2 레벨 쉬프터(24)는 하이 상태를 유지하는 NAND 게이트(23)의 출력 신호의 레벨에 따라 제 1 PMOS 트랜지스터(P21)를 통해 제 1 외부 전원(Vextq)로부터 공급된 제 2 외부 전원(Vextiq)의 전위를 유지하는 신호를 출력한다. 하이 상태를 유지하는 제 2 레벨 쉬프터(24)의 출력 신호는 제 7 인버터(I27)를 통해 로우 상태로 반전되어 제 9 노드(Q29)는 로우 상태를 유지하게 된다. 이때, 로우 상태로 인가되는 파워 바 신호(powerb)에 의해 제 9 NMOS 트랜지스터(N29)는 턴오프된다.

<30> 따라서, 로우 상태를 유지하는 제 4 노드(Q24)의 전위에 의해 제 8 PMOS 트랜지스터(P28)가 턴온되고, 로우 상태를 유지하는 제 9 노드(Q29)의 전위에 의해 제 10 NMOS 트랜지스터(N30)가 턴오프되어 제 2 외부 전원(Vextiq)이 DQ 단자(DQ)로 출력된다.

<31> 그런데, 딥 파워 다운 모드에서 파워 바 신호(powerb)가 하이 상태로 인가되면 제 1 PMOS 트랜지스터(P21)가 턴오프되어 제 1 외부 전원(Vextq)이 제 2 외부 전원(Vextiq)로서 공급되지 않는다. 따라서, 제 1 및 제 2 레벨 쉬프터(22 및 24)는 플로팅 상태가 된다. 그리고, 제 3 NMOS 트랜지스터(N23)가 턴온되어 제 3 노드(Q23)는 로우 상태를 유지하게 되며, 제 4 PMOS 트랜지스터(P24)가 턴오프되어 제 2 외부 전원(Vextiq)이 공급되지 않기 때문에 제 4 인버터(I24)는 동작되지 않아 제 4 노드(Q24)는 플로팅 상태가 된다. 이때, 하이 상태로 인가되는 파워 바 신호(powerb)는 제 5 인버터(I25)에 의해 로우 상태로 반전되어 제 5 노드(Q25)는 로우 상태를 유지하게 된다. 로우 상태를 유지하는 제 5 노드(Q25)의 전위에 의해 제 7 PMOS 트랜지스터(P27)는 턴온되어 제 1 외부 전원(Vextq)이 제 4 노드(Q24)로 공급된다. 따라서, 제 4 노드(Q24)는 하이 상태를 유지하게 되고, 이에 의해 제 8 PMOS 트랜지스터(P28)는 턴오프된다.

<32> 그리고, 하이 상태로 인가되는 파워 바 신호(powerb)에 의해 제 9 NMOS 트랜지스터(N29)가 턴온되어 제 9 노드(Q29)는 로우 상태를 유지하게 되고, 이에 의해 제 10 NMOS 트랜지스터(N30)는 턴오프된다.

<33> 상기한 바와 같이 딥 파워 다운 모드에서 파워 바 신호(powerb)가 하이 상태로 인가되면 제 8 PMOS 트랜지스터(P28) 및 제 10 NMOS 트랜지스터(N30)는 하이 임피던스 상태로 되기 때문에 DQ 단자(DQ)를 통해 외부에서 내부로 신호가 유입되지 않는다.

<34> 한편, 본 발명에서는 파워 바 신호(powerb)에 의해 제 3 노드(Q23), 제 4 노드(Q24) 및 제 9 노드(Q29)의 전위를 조절하는 예를 설명하였지만, 제 1 및 제 2 레벨 쉬프터(22 및 24) 이전, 즉 제 1 및 제 6 노드(Q21 및 Q26)의 전위를 조절하도록 NMOS 트랜지스터를 구현하면 신뢰성을 더욱 높일 수 있다.

【발명의 효과】

<35> 상술한 바와 같이 본 발명에 의하면 일반 동작 모드에서는 로우 상태로 인가되고 딥 파워 다운 모드에서는 하이 상태로 인가되는 파워 바 신호에 의해 일반 동작 모드에서는 제 1 외부 전원을 공급하여 제 2 외부 전원으로 사용되도록 하고, 딥 파워 다운 모드에서는 전원의 공급을 차단하고 출력 드라이버를 하이 임피던스 상태를 유지하도록 함으로써 내부의 전류 소모 및 DQ 단자를 통해 외부로부터의 신호 유입을 방지할 수 있다.

【특허청구범위】**【청구항 1】**

제어 신호에 따라 제 1 외부 전원을 공급하여 제 2 외부 전원으로 사용되도록 하거나 전원 공급을 차단하기 위한 제 1 스위치;

입력 신호, 인에이블 신호 및 상기 제어 신호에 따라 제 2 외부 전원의 전위 또는 접지 전위를 유지하는 신호를 출력하기 위한 출력 버퍼;

상기 출력 버퍼의 출력 신호에 따라 상기 제 2 외부 전원의 전위 또는 접지 전위를 유지하는 신호를 출력하기 위한 출력 드라이버;

상기 제어 신호에 따라 상기 출력 드라이버의 입력 단자중 하나가 상기 제 1 외부 전원의 전위로 유지되도록 하기 위한 제 2 스위치; 및

상기 제어 신호에 따라 상기 출력 드라이버의 입력 단자중 다른 하나가 상기 접지 전위로 유지되도록 하기 위한 제 3 스위치를 포함하여 이루어진 것을 특징으로 하는 출력 회로.

【청구항 2】

제 1 항에 있어서, 상기 제어 신호는 일반 동작 모드와 딥 파워 다운 모드에서 서로 다른 전위 상태로 인가되는 신호인 것을 특징으로 하는 출력 회로.

【청구항 3】

제 1 항에 있어서, 상기 제 1 스위치는 상기 제어 신호에 따라 구동되는 PMOS 트랜지스터인 것을 특징으로 하는 출력 회로.

【청구항 4】

제 1 항에 있어서, 상기 출력 버퍼는 상기 입력 신호 및 상기 인에이블 신호를 입력하기 위한 제 1 입력 수단;

상기 입력 신호 및 상기 인에이블 신호를 입력하기 위한 제 2 입력 수단;

상기 제어 신호 및 상기 제 1 입력 수단의 출력 신호에 따라 상기 제 2 외부 전원의 전위 또는 접지 전위의 신호를 제 1 노드로 출력하기 위한 제 1 구동 수단; 및

상기 제어 신호 및 상기 제 2 입력 수단의 출력 신호에 따라 상기 제 2 외부 전원의 전위 또는 상기 접지 전위의 신호를 제 2 노드로 출력하기 위한 제 2 구동 수단을 포함하여 이루 어진 것을 특징으로 하는 출력 회로.

【청구항 5】

제 4 항에 있어서, 상기 제 1 입력 수단은 상기 입력 신호를 반전시키기 위한 제 1 인버터;

상기 인에이블 신호를 반전시키기 위한 제 2 인버터; 및

상기 제 1 인버터의 출력 신호 및 상기 제 2 인버터의 출력 신호를 입력하고 조합하기 위한 NOR 게이트를 포함하여 이루어진 것을 특징으로 하는 출력 회로.

【청구항 6】

제 4 항에 있어서, 상기 제 2 입력 수단은 상기 입력 신호를 반전시키기 위한 인버터; 및

상기 인버터의 출력 신호 및 상기 출력 신호를 입력하고 조합하기 위한 NAND 게이트를 포함하여 이루어진 것을 특징으로 하는 출력 회로.

【청구항 7】

제 4 항에 있어서, 상기 제 1 구동 수단은 상기 제 1 입력 수단의 출력 신호에 따라 상기 제 2 외부 전원의 전위 또는 상기 접지 전위의 신호를 출력하기 위한 레벨 쉬프터;

상기 제 1 레벨 쉬프터의 출력 단자와 접지 단자 사이에 접속되어 상기 제어 신호에 따라 구동되는 NMOS 트랜지스터;

상기 제어 신호에 따라 상기 제 2 외부 전원을 공급하기 위한 PMOS 트랜지스터; 및

상기 제 1 레벨 쉬프터의 출력 신호에 따라 상기 PMOS 트랜지스터를 통해 공급된 상기 제 2 외부 전원의 전위 또는 접지 전위의 신호를 출력하기 위한 인버터를 포함하여 이루어진 것을 특징으로 하는 출력 회로.

【청구항 8】

제 4 항에 있어서, 상기 제 2 구동 수단은 상기 제 2 입력 수단의 출력 신호에 따라 상기 제 2 외부 전원의 전위 또는 상기 접지 전위의 신호를 출력하기 위한 레벨 쉬프터;

상기 레벨 쉬프터의 출력 신호를 반전시켜 상기 제 2 외부 전원의 전위 또는 접지 전위의 신호를 출력하는 것을 특징으로 하는 출력 회로.

【청구항 9】

제 4 항에 있어서, 상기 제어 신호에 따라 상기 제 1 구동 수단의 입력 단자의 전위를 접지 전위로 유지시키기 위한 NMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 출력 회로.

【청구항 10】

제 4 항에 있어서, 상기 제어 신호에 따라 상기 제 2 구동 수단의 입력 단자의 전위를 접지 전위로 유지시키기 위한 NMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 출력 회로.

【청구항 11】

제 1 항에 있어서, 상기 제 2 스위치는 상기 제어 신호에 따라 상기 제 1 외부 전원의 전위 또는 접지 전위의 신호를 출력하기 위한 인버터; 및

상기 인버터의 출력 신호에 따라 상기 제 1 외부 전원을 상기 제 1 노드에 공급하기 위한 PMOS 트랜지스터를 포함하여 이루어진 것을 특징으로 하는 출력 회로.

【청구항 12】

제 1 항에 있어서, 상기 제 3 스위치는 상기 제 2 노드와 접지 단자 사이에 접속되어 상기 제어 신호에 따라 구동되는 NMOS 트랜지스터인 것을 특징으로 하는 출력 회로.

【청구항 13】

제어 신호에 따라 일반 동작 모드에서는 제 1 외부 전원을 공급하여 제 2 외부 전원으로 사용되도록 하고, 딥 파워 다운 모드에서는 전원 공급을 차단하기 위한 제 1 스위치;

상기 일반 동작 모드에서는 인에이블 신호 및 상기 제어 신호에 따라 제 2 외부 전원의 전위 또는 접지 전위를 유지하는 신호를 출력하고, 상기 딥 파워 다운 모드에서는 플로팅되는 출력 버퍼;

상기 일반 동작 모드에서 상기 출력 버퍼의 출력 신호에 따라 상기 제 2 외부 전원의 전위 또는 접지 전위를 유지하는 신호를 출력하기 위한 출력 드라이버;

상기 딥 파워 다운 모드에서 상기 출력 드라이버의 입력 단자중 하나가 상기 제 1 외부 전원의 전위로 유지되도록 하기 위한 제 2 스위치; 및

상기 딥 파워 다운 모드에서 상기 출력 드라이버의 입력 단자중 다른 하나가 상기 접지 전위로 유지되도록 하기 위한 제 3 스위치를 포함하여 이루어진 것을 특징으로 하는 출력 회로

【청구항 14】

제어 신호에 따라 일반 동작 모드에서는 제 1 외부 전원을 공급하여 제 2 외부 전원으로 사용되도록 하고, 딥 파워 다운 모드에서는 전원 공급을 차단하기 위한 제 1 스위치;

글로벌 입출력 신호 및 출력 인에이블 신호를 입력하기 위한 제 1 입력 수단;

상기 글로벌 입출력 신호 및 상기 출력 인에이블 신호를 입력하기 위한 제 2 입력 수단;

상기 일반 동작 모드에서는 상기 제 1 입력 수단의 출력 신호에 따라 상기 제 1 스위치를 통해 공급된 상기 제 2 외부 전원의 전위 또는 접지 전위의 신호를 제 1 노드로 출력하고, 상기 딥 파워 다운 모드에서는 플로팅되는 제 1 구동 수단;

상기 일반 동작 모드에서는 상기 제 2 입력 수단의 출력 신호에 따라 상기 제 1 스위치를 통해 공급된 상기 제 2 외부 전원의 전위 또는 상기 접지 전위의 신호를 제 2 노드로 출력하고, 상기 딥 파워 다운 모드에서는 플로팅되는 제 2 구동 수단;

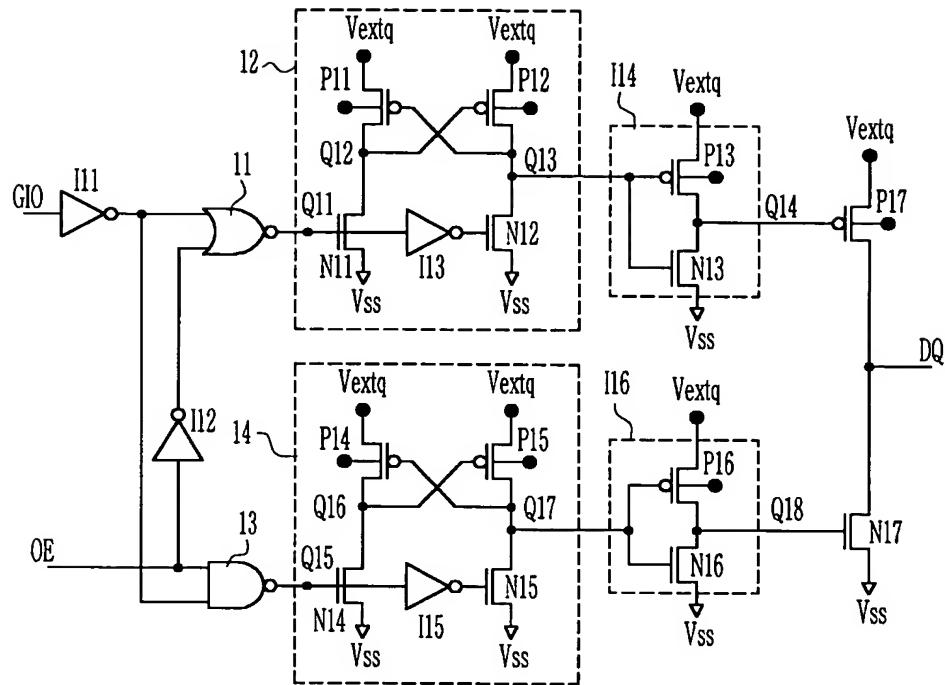
상기 딥 파워 다운 모드에서 상기 제어 신호에 따라 상기 제 1 외부 전원을 상기 제 1 노드에 공급하기 위한 제 2 스위치;

상기 딥 파워 다운 모드에서 상기 제어 신호에 따라 상기 제 2 노드의 전위를 접지 전위로 조절하기 위한 제 3 스위치; 및

상기 일반 동작 모드에서 상기 제 1 노드의 전위 및 상기 제 2 노드의 전위에 따라 출력 단자로 상기 제 1 스위치를 통해 공급된 제 2 외부 전원의 전위 또는 상기 접지 전위의 신호를 출력하기 위한 출력 드라이버를 포함하여 이루어진 것을 특징으로 하는 출력 회로.

【도면】

【도 1】



【도 2】

